

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant(s): UCHIDA, Ren

Application No.:

Group:

Filed: August 30, 2001

Examiner:

For: TESTING METHOD AND TESTING DEVICE FOR SEMICONDUCTOR
INTEGRATED CIRCUITS



LETTER

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

August 30, 2001
1152-0282P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

| <u>Country</u> | <u>Application No.</u> | <u>Filed</u> |
|----------------|------------------------|--------------|
| JAPAN | 2000-299844 | 09/29/00 |

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: 

TERRELL C. BIRCH

Reg. No. 19,382

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/rem

日本国特許庁
JAPAN PATENT OFFICE

1150-3091
1001

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 9月29日

出願番号

Application Number:

特願2000-299844

出願人

Applicant(s):

シャープ株式会社



2001年 6月20日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造

出証番号 出証特2001-3058036

【書類名】 特許願

【整理番号】 00J03324

【提出日】 平成12年 9月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H03M 1/76
H01L 27/04
H01L 21/822

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株
式会社内

【氏名】 内田 練

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100112335

【弁理士】

【氏名又は名称】 藤本 英介

【手数料の表示】

【予納台帳番号】 077828

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9816368

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の検査方法及びその検査装置

【特許請求の範囲】

【請求項 1】 複数の D A コンバータと階調出力電圧特性を決定する基準電圧生成回路とを内蔵する半導体集積回路を、前記階調出力電圧と基準電圧を比較判定する比較判定回路を有する半導体試験装置により検査する検査方法において、

前記基準電圧生成回路に印加する基準電源入力端子に異なる電圧を設定することにより、検査対象となる階調レベル区間を決定し、前記半導体試験装置から前記基準電源入力端子間に該電圧を供給して、その区間の階調レベルの入力階調データ信号と階調出力電圧とを対応付けることにより、前記半導体試験装置によって階調出力電圧検査をデジタル判定化することを特徴とする半導体集積回路の検査方法。

【請求項 2】 前記半導体試験装置から基準電源入力端子間に供給された電圧に応じて、前記基準電圧生成回路は、前記半導体集積回路の各アナログ電圧出力の隣接階調出力電位差を拡大、若しくは縮小することを特徴とする請求項 1 に記載の半導体集積回路の検査方法。

【請求項 3】 前記 D A コンバータと基準電圧生成回路は、前記半導体試験装置から供給される電圧設定と入力データとの対応付けにより、アナログ電圧出力の出力レベルを選択試験することを特徴とする請求項 1 に記載の半導体集積回路の検査方法。

【請求項 4】 各出力電圧レベルに対応した入力データと半導体集積回路仕様における出力電圧期待値計算とその出力電圧期待値レベルの設定、および出力電圧の判定を行う前記比較判定回路の電圧判定値レベル、検査番号の時間的設定変化の相互関係を一括に、アドレスもしくは変数管理としたことにより、試験精度に関する信頼性を立証することを可能とした請求項 1 に記載の半導体集積回路の検査方法。

【請求項 5】 複数の D A コンバータと階調出力電圧特性を決定する基準電圧生成回路とを内蔵する半導体集積回路を、前記階調出力電圧と基準電圧を比

較判定回路により比較判定する検査装置において、

前記半導体集積回路の検査対象となる階調レベル区間の一方の端部の基準電源入力端子と、該区間の他方の端部の基準電源入力端子に、異なる電圧を出力することを特徴とする半導体集積回路の検査装置。

【請求項 6】 半導体集積回路の検査対象となる階調レベル区間の少なくとも一方の端部の基準電源入力端子を含む 2 以上の基準電源入力端子に前記電圧を出力することを特徴とする請求項 5 記載の半導体集積回路の検査装置。

【請求項 7】 半導体集積回路の検査対象となる階調レベル区間に半導体試験装置と接続されない基準電源入力端子を有することを特徴とする請求項 5 記載の半導体集積回路の検査装置。

【請求項 8】 半導体集積回路の検査対象となる階調レベル区間を 2 以上有することを特徴とする請求項 5 記載の半導体集積回路の検査装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のグレースケールレベル（以下、階調レベルとする）を出力する機能と、複数個の D A コンバータ（以下、D A C とする）を有する半導体集積回路の階調出力電圧に関する半導体集積回路の検査方法及びその検査装置に係り、それぞれの D A C が出力する階調出力電圧を短時間に、かつ高精度に実施することができる半導体集積回路の検査方法及びその検査装置に関する。なお、グレースケールレベルとは液晶パネル等のドット表示に関する明暗レベルを決定する出力電圧レベルを意味する。

【0002】

【従来の技術】

液晶パネルの高精細化に伴い、液晶パネルに搭載される液晶ドライバ L S I は、多出力化、多階調化が進む傾向にある。液晶ドライバ L S I は、基準電圧生成回路として“ガンマ補正抵抗回路”あるいは“ガンマ補正コンデンサ回路”がデバイス内部に内蔵されている。この基準電圧生成回路の基準電源入力端子より電圧が印加される。液晶ドライバ L S I の階調レベル数は、この印加電圧に対する

分割比（ガンマ補正抵抗回路の場合は抵抗分割比、ガンマ補正コンデンサ回路の場合は容量分割比）により決定される。この分割比が細分化されるほど、多階調化が進む。

【 0 0 0 3 】

そして、この多階調表示を行うため、液晶ドライバは階調レベル数に対応した D A C（デジタルの入力画像データをアナログの階調出力電圧に変換する）を内蔵し、階調電圧を出力する。例えば、6 4 階調表示用液晶ドライバでは、6 ビット D A C が内蔵されており、2 5 6 階調表示用液晶ドライバでは、8 ビット D A C が、1 0 2 4 階調表示用液晶ドライバでは、1 0 ビット D A C が内蔵されている。

【 0 0 0 4 】

このような多階調、多出力液晶ドライバのテストにおいては、D A C から出力されるそれぞれの階調電圧値の全てが、各レベルのデジタル画像データに対応して正しく変換された電圧値を出力しているかどうか、また各 D A C 間において出力される階調電圧値がそれぞれ互いに均一であるかどうかをテストしている。

【 0 0 0 5 】

m 出力 n 階調の D A C を内蔵する液晶ドライバを例に従来のテスト方法を説明する。

図 7 に液晶ドライバと高精度電圧測定器による従来の半導体試験装置の概略回路構成図を示す。

半導体試験装置（以下テストとする）6 0 より液晶ドライバ 5 1 に、事前に設定している全出力端子数分の階調デジタルデータを、階調レベルごとに基準電源電圧入力端子 6 - 1 ~ 6 - x に順次入力する。基準電圧生成回路 8 において基準電圧が生成され、各レベルの階調デジタルデータは、デバイスに内蔵された D A C 回路 2 - 1 ~ 2 - m で D A 変換（階調データに対応した基準電圧が選択）される。そして、出力アンプを介して階調出力電圧として出力端子 3 - 1 ~ 3 - m からアナログ電圧が出力される。

【 0 0 0 6 】

液晶ドライバ 5 1 を出力したアナログ電圧は、テスト 6 0 の入力端子であるテ

スタチャンネル 1 1 - 1 ~ 1 1 - m に入力され、テスト 6 0 に内蔵されている高精度の電圧計 6 2 を用いて、1 出力ずつ m 出力まで順次 1 階調レベル毎の階調電圧値をアナログ測定し、その測定結果を逐次、テスト 6 0 に内蔵されているメモリ 6 3 に格納する。

【0 0 0 7】

この操作を n 階調分繰り返していき、最終的には全出力・全階調のデータをメモリ 6 3 に格納する。この結果 $m \times n$ ケ分の電圧値データが格納されることになる。メモリ 6 3 に格納された全ての電圧値データは、テスト 6 0 に内蔵されている演算装置 6 4 を用いて演算される。こうして、各出力における各階調電圧値（後述の“理想の階調出力電圧値に対する階調出力電圧の最大値差及び最小値差”を示す）や各出力間の階調電圧値の均一性（後述の“端子間ばらつき”を示す）が演算で求められる。

【0 0 0 8】

一般的な階調電圧値の判定基準については、全出力端子 3 - 1 ~ 3 - m を対象に各階調レベル毎の理想の階調出力電圧値に対する階調出力電圧の最大値差及び最小値差、各端子間のばらつきの 3 点である。ここでの理想階調出力電圧値に対する階調出力電圧の最大値差及び最小値差の判定値は例えば ± 30 [mV]、各端子間ばらつきは 35 [mV] 程度の基準値について不良品を選別する必要があることから非常に高精度な測定精度が要求される。

【0 0 0 9】

なお、上述までに現行の階調出力電圧のテスト手法を述べてきたが、液晶ドライバのテストは階調出力電圧テスト以外に、入力リーク、ガンマ補正抵抗値、ファンクション動作、高速クロック動作、消費電流などの項目についてもテストを行っている。しかし、これら全テスト項目のテスト実行時間の内、7 割 ~ 8 割が階調出力電圧テストで占めている。

【0 0 1 0】

テストに搭載されている判定モジュールには高精度電圧測定器以外に、比較判定回路（以下、コンパレータとする）がある。

図 8 に、液晶ドライバとコンパレータによる従来の半導体試験装置との概略回

路構成図を示す。ここでは、液晶ドライバ 5 1 から出力される階調出力電圧を、テスト 7 0 に搭載されるコンパレータ 1 2 - 1 ~ 1 2 - m で電圧判定を行う。

【 0 0 1 1 】

高精度電圧測定器による従来のテスト 6 0 と同様に、テスト 7 0 より液晶ドライバ 5 1 に、事前に設定している全出力端子数分の階調デジタルデータを階調レベルごとに順次入力する。各レベルの階調デジタルデータはデバイスに内蔵された D A C 回路 2 - 1 ~ 2 - m で D A 変換（階調データに対応した基準電圧が選択）され、出力アンプを介して階調出力電圧として出力端子 3 - 1 ~ 3 - m からアナログ電圧が出力される。このアナログ電圧はテスト 7 0 のコンパレータ 1 2 - 1 ~ 1 2 - m に入力され、事前に設定している全出力端子数分の階調デジタルデータに対応した比較判定電圧レベル値により判定を行う。

【 0 0 1 2 】

図 9 に、コンパレータ判定時の判定基準レベルの設定と階調出力電圧の相関図を示す。

比較判定電圧レベルとは、各レベルの階調出力電圧値に対して、その上限、下限を決定する 2 電圧値を示す。この図においては、上限、下限値によって挟み込まれた電圧領域が P A S S 判定となり、上限値以上と下限値以下の領域は F A I L 判定を示しているが、テスト内容（期待値の設定）によっては、その逆の設定も可能である。

【 0 0 1 3 】

また、コンパレータによる検査装置を用いて検査を可能とする液晶ドライバが、特開 2 0 0 0 - 1 6 5 2 4 4 公報に開示されている。図 1 0 は、この液晶ドライバを示す回路構成図である。

図 1 0 に示す液晶ドライバ L S I 8 1 は、階調データがデコーダ 8 2 を介して D A C のバスライン 8 3 に与えられる。各階調データに応じて、基準電源端子 6 - 1 ~ 6 - 1 0 及び抵抗分割回路 1 3 からの出力電圧を決定する階調電圧選択スイッチ 8 5 の一つを選択し、出力アンプ 8 4 を介して各出力端子 3 - 1 ~ 3 - m より、それぞれの階調電圧を出力する。

【 0 0 1 4 】

各基準電源端子 6-1 ~ 6-10 間にリレー 85, 86 の直列接続回路を接続し、該リレー 85, 86 の接続点を抵抗分割回路 13 の中点に接続する構成を有している。

一方の基準電源端子には、電源電圧 (5 V) を印加し、他方の基準電源端子二は接地電圧 (0 V) を印加する。ここで、上側部分の検査を行う場合には、リレー 85 を OFF とし、リレー 86 を ON させる。これにより、抵抗分割回路 13 の上側部分の両端に 5 V が印加される。

【0015】

次に、デコーダ 82 に、所定の階調データを与えて、アナログ電圧を出力させる。このときの各出力電圧間の電位差は、 $5\text{ V} / 4 = 1.25$ と、非常に大きな値になる。すなわち、第 1 階調電圧は 5 V、階調電圧は 3.75 V、第 3 階調電圧は 2.50 V、第 4 階調電圧は 1.25 V、第 5 階調電圧は 0 V となる。これにより、例えば、0.5 V 以下の精度を有するコンパレータであれば、各階調の電圧を認識することができ、コンパレータを使用したデジタル判定が可能となるものである。下側部分の検査を行う場合には、第 1 リレー 85 を ON させ、リレー 86 を OFF とする。

【0016】

【発明が解決しようとする課題】

従来の半導体試験装置の問題点を以下にまとめる。

【0017】

(1) 高精度電圧測定器を用いた検査の問題点

図 7 に示した高精度電圧測定器を用いた半導体回路検査は、液晶ドライバのテストにおいて、多出力化・多階調化が進むことにより、デバイスの出力判定を縦列的に処理する必要があることから、階調出力電圧テストはデータの取り込み量の増加やデータ処理時間の増加が進み、テスト時間は大幅に増加する。また、階調出力電圧値をより高精度に測定する必要があることから、高精度な電圧測定器を複数台搭載する高価なテストが必要となる。

【0018】

さらに、多階調化が進むことにより、テスト精度の確保が困難となる。つまり

、多階調化が進むことにより、各階調レベル間の出力電位差は大幅に縮小される。これは、上述した、基準電圧生成回路としてデバイス内部に内蔵されたガンマ補正抵抗回路が、基準電源入力端子より印加された電圧に対する抵抗分割比により決定され、この分割比が細分化されるほど、多階調化が進むことによる。つまり、64階調の6[V]駆動液晶ドライバの隣接階調間の出力階調電位差が単純計算により93.75[mV] ($6000\text{ [mV]} / 64\text{ 階調}$)であったのに対し、256階調の6[V]駆動液晶ドライバでは、23.44[mV] ($6000\text{ [mV]} / 256\text{ 階調}$)となる。従って、各階調レベル毎の隣接階調間における出力電位差が出力電圧偏差(端子間ばらつき)よりも小さい場合、上述の判定値ではデータの読み込み不良による1階調レベル化等、高精度電圧測定器による検査であっても各階調レベル毎の出力電圧が入力画像デジタルデータに対応していることに関するテスト精度の確保は困難となる。なお、各端子間ばらつきテストに対する判定値を厳しく設定することは、先に述べた判定基準例の各端子間ばらつき35[mV]からも、液晶ドライバの仕様上、困難となる。

【0019】

(2) コンパレータを用いた検査の問題点

図8に示したコンパレータを用いた半導体回路検査の利点は、デバイスの全出力を並列的に一括判定でき、大幅なテスト時間の短縮が図れることである。コンパレータは比較的安価であるため、テストに複数台～LSIの出力数分搭載されている。

しかしながら、図9に示すように、コンパレータの精度は約100[mV]以下の階調出力電圧レベル差を識別することは不可能であり、比較判定電圧レベルの最小幅(基準電圧 $\pm 100\text{ [mV]}$)間に階調レベルが複数存在する場合、テスト対象となる階調レベルが不明確となる上、各階調出力電圧レベルの最大値差及び最小値差や各出力間の端子間ばらつきの正確な値を求めることができない。そのため、約0.1[V]以下の階調出力電圧レベル差を識別することは不可能であり、液晶ドライバの機能動作精度に関するテスト精度を保証することは困難であるため、一般的には、液晶ドライバの階調出力電圧テストには用いられず、現行のコンパレータ判定は、液晶ドライバの階調出力電圧精度に関わらないテス

ト項目についてのみ採用していた。

【0020】

例えば、液晶ドライバがある特定の階調レベルで3.0 [V] を出力する場合、この階調レベルのコンパレータ判定の判定上限値はコンパレータの精度より、最大値で3.1 [V]、判定下限値は最小値で2.9 [V] となる。つまり、この2つの判定レベルの電位差は0.2 [V] であり、上記の例で示した256階調の6 [V] 駆動液晶ドライバでは、一階調当たりの階調出力電位差が23.44 [mV] であるため、この2つの判定レベル間には8～9階調分の階調出力レベルが含まれてしまい、一階調レベルの入力データに対応する個別の階調出力電圧に対象を絞ったテストが実施できない。

【0021】

さらに図11に、従来の基準電源電圧の投入設定例の概略図を示す。

例えば256階調の10 [V] 駆動液晶ドライバ1で、基準電源入力端子を6本有する場合、階調出力電圧の高い電圧より $V1 = 10$ [V]、 $V2 = 8$ [V]、 $V3 = 6$ [V]、 $V4 = 4$ [V]、 $V5 = 2$ [V]、 $V6 = 0$ [V] を印加し、それぞれの基準電源入力端子間の階調出力電圧レベルを2 [V] の電位差でガンマ補正抵抗特性に従った分割比で1階調レベル毎の出力電圧に分割する。従って、この各基準電源入力端子間において、2 [V] の電位差により生成される階調出力電圧レベル数が51階調（256階調を基準電源入力端子毎に5分割）であれば1階調毎の階調出力電圧電位差は約40 [mV] となる。コンパレータ判定を行う場合、図9に示すように、コンパレータの精度は約100 [mV] 以下の階調出力電圧レベル差を識別することは不可能であり、比較判定電圧レベルの最小幅（基準電圧 ± 100 [mV]）間に階調レベルが5階調レベル程度存在するため（コンパレータの判定幅200 [mV] / 1階調当たりの電位差約40 [mV] より算出）、テスト対象となる階調レベルが不明確となる。

【0022】

そこで、コンパレータを用いて、階調出力電圧レベル差を識別できる液晶ドライバが特開2000-165244公報に開示されているが、この液晶ドライバは、リレー回路を液晶ドライバに新たに設けなければならない、チップ面積が増大

する。デバイスの設計上、スイッチのON抵抗=1 K Ω のリレー回路を各基準電源端子間に設置することで、チップ面積は7%程度増加する。スイッチのON抵抗を小さくするためには、リレーの回路面積をさらに増加する必要がある、結果的にチップ面積を増大化させてしまう。

【0023】

また、テスト対象となる階調出力レベルの抵抗分割回路13に印加される電圧は、リレー回路の片方をショートすることで理論的には2倍に拡大されるはずだが、実際にはリレー回路のON抵抗により2倍には拡大できなかった。これは、抵抗分割回路（ガンマ補正抵抗）の低抵抗化が進んで、リレー回路のON抵抗が相対的に増加することになり、ON抵抗による電圧降下が増加して、電圧の拡大効果が期待するほど生じなくなるからである。

【0024】

さらに、デバイス機能が多様化する傾向にある中で、既存のテスト（テストチャンネルが少ない）でテストを実施する場合、リレーを制御するチャンネルが必要となり、テスト設計が複雑となる。

【0025】

本発明は、多出力化・多階調化が進む液晶ドライバのテストにおいて、DAコンバータが出力する各階調電圧レベルを基準電圧生成回路に印加する基準電源電圧設定により操作することで、判定モジュールの測定精度に関わらず、テスト時間の大幅な削減と高精度な試験を実現する半導体集積回路の検査方法及びその検査装置を提供することを目的とするものである。

【0026】

【課題を解決するための手段】

本発明は、複数のDAコンバータと階調出力電圧特性を決定する基準電圧生成回路とを内蔵する半導体集積回路を、前記階調出力電圧と基準電圧を比較判定する比較判定回路を有する半導体試験装置により検査する検査方法である。

前記基準電圧生成回路に印加する基準電源入力端子に異なる電圧を設定することにより、検査対象となる階調レベル区間を決定し、前記半導体試験装置から前記基準電源入力端子間に該電圧を供給して、その区間の階調レベルの入力階調デ

ータ信号と階調出力電圧とを対応付けることにより、前記半導体試験装置によって階調出力電圧検査をデジタル判定化することを特徴とする。

【 0 0 2 7 】

また、本発明は、前記半導体試験装置から基準電源入力端子間に供給された電圧に応じて、前記基準電圧生成回路は、前記半導体集積回路の各アナログ電圧出力の隣接階調出力電位差を拡大、若しくは縮小することを特徴とする半導体集積回路の検査方法である。

【 0 0 2 8 】

また、本発明は、前記 D A コンバータと基準電圧生成回路が、前記半導体試験装置から供給される電圧設定と入力データとの対応付けにより、アナログ電圧出力の出力レベルを選択試験することを特徴とする半導体集積回路の検査方法である。

【 0 0 2 9 】

また、本発明は、各出力電圧レベルに対応した入力データと半導体集積回路仕様における出力電圧期待値計算とその出力電圧期待値レベルの設定、および出力電圧の判定を行う前記比較判定回路の電圧判定値レベル、検査番号の時間的設定変化の相互関係を一括に、アドレスもしくは変数管理としたことにより、試験精度に関する信頼性を立証することを可能とした半導体集積回路の検査方法である。

【 0 0 3 0 】

また、本発明は、複数の D A コンバータと階調出力電圧特性を決定する基準電圧生成回路とを内蔵する半導体集積回路を、前記階調出力電圧と基準電圧を比較判定回路により比較判定する検査装置である。

前記半導体集積回路の検査対象となる階調レベル区間の一方の端部の基準電源入力端子と、該区間の他方の端部の基準電源入力端子に、異なる電圧を出力することを特徴とする。

【 0 0 3 1 】

また、本発明は、半導体集積回路の検査対象となる階調レベル区間の少なくとも一方の端部の基準電源入力端子を含む 2 以上の基準電源入力端子に前記電圧を

出力することを特徴とする半導体集積回路の検査装置である。

【 0 0 3 2 】

また、本発明は、半導体集積回路の検査対象となる階調レベル区間に半導体試験装置と接続されない基準電源入力端子を有することを特徴とする半導体集積回路の検査装置である。

【 0 0 3 3 】

また、本発明は、半導体集積回路の検査対象となる階調レベル区間を 2 以上有することを特徴とする半導体集積回路の検査装置である。

【 0 0 3 4 】

本発明において、テスト時における各階調レベルの階調出力電圧は全て、液晶ドライバの出力電圧偏差以上の隣接階調電位差が確保できている上、比較的判定精度の低いコンパレータであっても、一階調レベルの入力データに対応する個別の階調出力電圧に対象を絞ったテストが可能となる。そのため、テスト対象とする 1 階調レベル毎に D A C 内部のデータ化け等を容易に検出できる分離テストが可能となり、測定・試験機器の精度に関わらず、高いテスト精度を保証することが可能となる。

さらに、コンパレータ回路による検査装置にて全出力を同時に一括してデジタル判定することが可能となることで、テスト時間の大幅な短縮と、従来の安価なテストを用いて高精度な測定を可能とする。

【 0 0 3 5 】

【発明の実施の形態】

以下に、本発明の実施の形態について、図面を参照しながら説明する。

図 1 に、基準電源生成回路がガンマ補正抵抗方式の液晶ドライバについて基準電源電圧の投入設定例の概略図を示す。

液晶ドライバ 1 は、6 本の基準電源入力端子 V 1 ～ V 6 と、ガンマ補正抵抗 1 3 からなる基準電圧生成回路 8 と、D A コンバータ 2 - 1 ～ 2 - m を備え、m 種類の階調電圧を発生する。従って、基本構造は図 1 1 の液晶ドライバ 1 と同じであり、2 5 6 階調の 1 0 [V] 駆動液晶ドライバで、基準電源入力端子を 6 本有する場合と同様のデバイスモデルを示している。

【 0 0 3 6 】

また、液晶ドライバ 1 の前段にはテスト電源 7 が配置され、基準電源入力端子 V 1 ~ V 6 に電圧を供給する。この液晶ドライバ 1 の検査装置であるテストは、図示していないが、図 8 のテスト 7 0 と同様の構成であり、比較判定回路であるコンパレータによって液晶ドライバ 1 から出力される階調出力電圧を判定する。

図 1 A においては基準電源端子間 V 1 ~ V 2 レベルに対応した D A コンバータが、図 1 B においては基準電源端子間 V 2 ~ V 3 レベルに対応した D A コンバータがテスト対象となる。

【 0 0 3 7 】

図 1 A に示すように、基準電源電圧の設定値を 2 値の電圧値（液晶ドライバの駆動電圧仕様の上限値と下限値）とする 1 0 [V] と 0 [V] に振り分け、V 1 = 1 0 [V]、V 2 = 0 [V]、V 3 = 0 [V]、V 4 = 0 [V]、V 5 = 0 [V]、V 6 = 0 [V] の基準電源電圧設定とする。基準電源端子の V 1 ~ V 2 間に 1 0 [V] の基準電源電位差を発生することができる。この基準電源端子の V 1 ~ V 2 間に含まれる階調レベルをテスト対象とすることで、それぞれの隣接階調出力レベルは相互に約 2 0 0 [mV]（基準電源端子間電位差 1 0 0 0 0 [mV] / 5 1 階調レベル）の電位差を保つことができる。

【 0 0 3 8 】

従って、図 2 に示す、基準電源電圧設定操作時の判定基準レベルの設定と階調出力電圧の相関図のように、1 階調出力電圧レベル毎に、コンパレータの判定レベルを設定することができ、一階調レベルの入力データに対応する個別の階調出力電圧に対象を絞ったテストが可能となる。

その基準電源端子間に含まれる階調レベルについて、一階調レベル毎、入力データとコンパレータの判定レベルの設定を順次切り替えながらテストし、その区間に含まれる階調レベルを全てテストする。

【 0 0 3 9 】

続いて、基準電源端子の V 2 ~ V 3 間に含まれる階調出力電圧レベルをテストするときは図 1 B に示すように、各基準電源電圧の設定を V 1 = 1 0 [V]、V 2 = 1 0 [V]、V 3 = 0 [V]、V 4 = 0 [V]、V 5 = 0 [V]、V 6 = 0

〔V〕となるように再度、基準電源端子に印加する電源投入設定を変更し、同様にその区間に含まれる階調レベルを全てテストする。同様に各基準電源電圧の設定を順次変更しながら、各階調出力電圧レベルをテストすることにより、結果的に液晶ドライバが有する全階調出力電圧レベルを一階調レベル毎の入力データに対して、個別の階調出力電圧に対象を絞ったテストが可能となる。

なお、上記の基準電源入力端子に印加する基準電源電圧値は、計測・判定機器の判定精度によっては2値に限るものではない。この詳細については、後述する。

【0040】

従って、本テスト手法によれば、テスト時における各階調レベルの階調出力電圧は全て、液晶ドライバの出力電圧偏差（ばらつき）以上の隣接階調電位差が確保できている上、比較的判定精度の低いコンパレータであっても、一階調レベルの入力データに対応する個別の階調出力電圧に対象を絞ったテストが可能となることから、テスト対象とする1階調レベル毎にDAC内部のデータ化け等を容易に検出できる分離テストが可能となり、測定・試験機器の精度に関わらず、高いテスト精度を保証することが可能となる。

【0041】

さらに、コンパレータ回路等による安価な検査モジュール（安価であるため半導体試験装置に複数～LSIの全出力数分搭載されている）にて全出力を同時に一括してデジタル判定することが可能となることで、テスト時間の大幅な短縮と、従来の安価なテストを用いて高精度な測定を可能とする。

【0042】

図3、図4は、本発明の実施形態において、テスト電源より液晶ドライバの基準電源入力端子に印加する電圧設定例を示すものである。本発明に係る検査手法は、基本的な検査手法の原理は、次のようなものである。すなわち、上述の内容と同様、半導体集積回路にある数本の基準電源入力端子間に印加する入力電圧設定を、テスト対象となる基準電源入力端子間に含まれる各階調出力電圧レベルのみ、出力電位差を拡大する設定とし、非テスト対象となる基準電源入力端子間に含まれる各階調出力電圧レベルは階調出力電位差を縮小する設定とする。ここで

は、その応用例について説明する。

【 0 0 4 3 】

図 3 に、基準電源生成回路がガンマ補正抵抗方式の液晶ドライバについて基準電源電圧の投入設定例の概略図を示す。

図 3 A においては基準電源端子間 V 1 ～ V 3 レベルに対応した D A コンバータが、図 3 B においては基準電源端子間 V 3 ～ V 5 レベルに対応した D A コンバータがテスト対象となる。

【 0 0 4 4 】

図 3 では、2 5 6 階調の 2 0 [V] 駆動液晶ドライバで基準電源入力端子を 6 本有する場合と同様のデバイスモデルを示している。

図 3 A に示すように、基準電源電圧の設定値を $V 1 = 2 0 [V]$ 、 $V 2 = \text{オープン}$ 、 $V 3 = 0 [V]$ 、 $V 4 = 0 [V]$ 、 $V 5 = 0 [V]$ 、 $V 6 = 0 [V]$ の基準電源電圧設定とすると、基準電源端子の V 1 ～ V 3 間に 2 0 [V] の基準電源電位差を発生することができる。この基準電源端子の V 1 ～ V 3 間に含まれる階調レベルをテスト対象とすることで、それぞれの隣接階調出力レベルは相互に約 2 0 0 [mV] (基準電源端子間電位差 2 0 0 0 0 [mV] / 1 0 2 階調レベル) の電位差を保つことができる。

【 0 0 4 5 】

従って、図 2 に示す、基準電源電圧設定操作時の判定基準レベルの設定と階調出力電圧の相関図のように、1 階調出力電圧レベル毎に、コンパレータの判定レベルを設定することができ、一階調レベルの入力データに対応する個別の階調出力電圧に対象を絞ったテストが可能となる。

【 0 0 4 6 】

その基準電源端子間に含まれる階調レベルについて、一階調レベル毎、入力データとコンパレータの判定レベルの設定を順次切り替えながらテストし、その区間に含まれる階調レベルを全てテストする。

【 0 0 4 7 】

続いて、基準電源端子の V 3 ～ V 5 間に含まれる階調出力電圧レベルをテストするときは図 3 B に示すように、各基準電源電圧の設定を $V 1 = 2 0 [V]$ 、 V

2 = 2 0 [V]、V 3 = 2 0 [V]、V 4 = オープン、V 5 = 0 [V]、V 6 = 0 [V] となるように再度、基準電源端子に印加する電源投入設定を変更し、同様にその区間に含まれる階調レベルを全てテストする。同様に各基準電源電圧の設定を順次変更しながら、各階調出力電圧レベルをテストすることにより、結果的に液晶ドライバが有する全階調出力電圧レベルを一階調レベル毎の入力データに対して、個別の階調出力電圧に対象を絞ったテストが可能となる。

【 0 0 4 8 】

さらに、上記までの基準電源電圧の設定例では、基準電源電圧の設定値を 2 値の電圧値（液晶ドライバの駆動電圧仕様の上限値と下限値）で振り分けていたが、基準電源端子間に含まれる階調レベル数と液晶ドライバの駆動電圧によっては、下記のような基準電源の設定によるテストも可能となる。

【 0 0 4 9 】

図 4 に、基準電源生成回路がガンマ補正抵抗方式の液晶ドライバについて基準電源電圧の投入設定例の概略図を示す。

図 4 A においては基準電源端子間 V 1 ~ V 2 レベルと V 3 ~ V 4 レベルと V 5 ~ V 6 レベルに対応した D A コンバータが、図 4 B においては基準電源端子間 V 2 ~ V 3 レベルと V 4 ~ V 5 レベルに対応した D A コンバータがテスト対象となる。なお、この時 V 3 ~ V 4 レベルに対応した D A コンバータもテスト可能であるが、図 4 A の基準電源電圧の設定状態でテスト完了しており、冗長テストとなるためテストの必要性はない。

【 0 0 5 0 】

図 4 では、6 4 階調の 6 [V] 駆動液晶ドライバで基準電源入力端子を 6 本有する場合と同様のデバイスモデルを示している。

図 4 A に示すように、基準電源電圧の設定値を V 1 = 6 [V]、V 2 = 4 [V]、V 3 = 4 [V]、V 4 = 2 [V]、V 5 = 2 [V]、V 6 = 0 [V] の基準電源電圧設定とすると、基準電源端子の V 1 ~ V 2 間、V 3 ~ V 4 間、V 5 ~ V 6 間に 2 [V] の基準電源電位差を発生することができる。この基準電源端子の V 1 ~ V 2 間、V 3 ~ V 4 間、V 5 ~ V 6 間に含まれる階調レベルをテスト対象とすることで、それぞれの隣接階調出力レベルは相互に約 1 5 4 [mV]（基準

電源端子間電位差 2 0 0 0 [mV] / 1 3 階調レベル) の電位差を保つことができる (1 3 階調レベル数は、6 4 階調 / 5 基準電源区間数より算出した)。従って、図 2 に示す、基準電源電圧設定操作時の判定基準レベルの設定と階調出力電圧の相関図のように、1 階調出力電圧レベル毎に、コンパレータの判定レベルを設定することができ、一階調レベルの入力データに対応する個別の階調出力電圧に対象を絞ったテストが可能となる。

【 0 0 5 1 】

その基準電源端子間に含まれる階調レベルについて、一階調レベル毎、入力データとコンパレータの判定レベルの設定を順次切り替えながらテストし、その区間に含まれる階調レベルを全てテストする。

【 0 0 5 2 】

続いて、基準電源端子の V 2 ~ V 3 レベルと V 4 ~ V 5 レベルに含まれる階調出力電圧レベルをテストするときは図 4 B に示すように、各基準電源電圧の設定を V 1 = 6 [V]、V 2 = 6 [V]、V 3 = 4 [V]、V 4 = 2 [V]、V 5 = 0 [V]、V 6 = 0 [V] となるように再度、基準電源端子に印加する電源投入設定を変更し、同様にその区間に含まれる階調レベルを全てテストする。結果的に液晶ドライバが有する全階調出力電圧レベルは一階調レベル毎の入力データに対して、個別の階調出力電圧に対象を絞ったテストが可能となる。

【 0 0 5 3 】

こうして、半導体集積回路にある数本の基準電源入力端子間に含まれる階調出力電圧レベル毎にテストを実施することにより、判定モジュールの測定精度に関わらず、テスト時間の大幅な削減と高精度な試験を実現する。このとき、数本の基準電源入力端子間に含まれる各階調出力電圧レベルのみ、出力電位差を拡大する設定とし、非テスト対象となる基準電源入力端子間に含まれる各階調出力電圧レベルは階調出力電位差を縮小する設定とする。この設定状態がテストにおける専用試験モードである。

【 0 0 5 4 】

以上のことから、本発明によるテスト手法は、基準電源端子間に含まれる階調レベル数と液晶ドライバの駆動電圧並びに液晶ドライバの基準電源端子数の相互

関係によって、様々な基準電源電圧設定が可能となる。つまり、液晶ドライバの設計段階において、本発明のテスト仕様を考慮し、これらの相互関係を反映することによって、基準電源電圧設定手法の自由度は高くなる。基準電源端子間に含まれる階調レベル数は少ないほど基準電源電圧設定の自由度は高くなる。液晶ドライバの多階調化に対応するためには、基準電源端子数を増加することによって対応できる。液晶ドライバの駆動電圧については、駆動電圧仕様が低いほど基準電源端子間に印加する電圧の割り振り方が増えるため基準電源電圧設定の自由度は高くなる。

【 0 0 5 5 】

なお、本発明による基準電源電圧設定手法は、高精度電圧器を用いたテストの場合であっても、テスト精度を保証する点に関しては同様の効果が適用されるものである。

【 0 0 5 6 】

続いて、本発明によるコンパレータ判定時の、測定・試験機器の精度に関わらず、短時間でかつ、高いテスト確度を保証するテストプログラムに係る特徴と1ビット精度保証を容易に立証することを可能としたフェイルチェック手法の実施例について述べる。

【 0 0 5 7 】

先ず、本発明による基準電源電圧設定手法による階調出力電圧テストに係り、各階調出力電圧をコンパレータ判定にてテストを実施した場合の設定フローと問題点を説明する。

図5に、従来の階調出力電圧をコンパレータ判定によってテストする場合に必要な過程を示すフローチャート図を示す。

【 0 0 5 8 】

まず、ステップS11にて液晶ドライバの駆動用電源と上述した基準電源電圧設定法による基準電源の投入を行う。続いて、ステップS12にて、入力データパターンプログラムの指定を行う。ここでの入力データパターンは、液晶ドライバが出力する階調出力電圧を決定する画像（各RGB出力に対応したグレースケールレベル）データを意味している。通常の階調出力電圧テスト以外の機能試験

では1階調レベル検査に1データパターンプログラムを用いていた。従って、階調出力電圧テストをコンパレータ判定にてテスト実施する場合、全階調出力電圧レベルを検査するために全階調数分のデータパターンプログラムが必要となる。半導体検査装置に設定可能なパターンプログラムの本数は制限されているため、階調出力電圧テストのコンパレータ判定化は困難となる。

【0059】

次に、コンパレータ判定に必要な判定幅の設定と階調出力電圧期待値レベルの設定を行う。これは、検査対象となる階調出力電圧レベルに対して、その上限レベルと下限レベルを設定し、階調出力電圧レベルを挟み込んだ状態で検査するものである。隣接する上下の階調電圧レベルとは電位差が大きくなるために実現可能な手法となる。ここで、上限レベルと下限レベルの設定電圧値については基準電源の設定状態を考慮した値に設定する。例えば、テスト対象となる基準電源端子間に20階調分の階調レベルが存在し、その基準電源端子間に4[V]の基準電源投入電位差を設定すると、隣接階調出力電位差は $4000\text{ [mV]} / 20\text{ 階調} = 200\text{ [mV/階調]}$ が得られる。また、コンパレータの判定幅は液晶ドライバの出力電圧特性による出力端子間ばらつき電圧（ここでは 30 [mV] とすると）を考慮し、かつ隣接階調出力電圧レベル領域にかからない値として $\pm(200\text{ [mV]} - 30\text{ [mV]})$ と設定する。

ただし、コンパレータの電圧認識精度は約 $\pm 100\text{ [mV]}$ であることから、コンパレータの判定幅の許容値は $\pm 100\text{ [mV]} \sim \pm 170\text{ [mV]}$ となる。

【0060】

なお、このコンパレータの判定幅の許容値については、テスト精度を決定するものであるため、後述するフェイルチェック手法により最適なコンパレータの判定幅電圧を設定する。また、これは液晶ドライバ仕様に関して、基準電源入力端子間の各階調出力電圧レベルはガンマ補正抵抗特性に依存しており、均等に等分劃されていないことに対応するものである。

【0061】

階調出力電圧期待値レベルの設定は、基準電源電圧設定値によって計算される該当テスト階調の階調出力電圧レベル（液晶ドライバ仕様の階調出力電圧理想値

計算式より算出する) と、上記に求めたコンパレータの判定幅より上限値と下限値を計算したものである。

【 0 0 6 2 】

最後に、このテスト対象となる階調出力電圧レベルについて、検査階調番号を設定し、ステップ S 1 3 にて、先に設定しているデータパターンプログラムを実行することで、判定することができる。上記のテスト設定ステップ S 1 2、S 1 3 を、テストする液晶ドライバの階調出力電圧レベル数分、繰り返すことにより、全ての階調出力電圧レベルのテストを実施する。従って、全階調出力電圧レベルのテストを実施するテストプログラムは非常に長大なものとなる上、コンパレータの判定幅の許容値の最適化やテストプログラムのデバッグ、修正等に費やす時間は膨大なものとなる。

【 0 0 6 3 】

下記に、上記に示したテスト設定フローに対する問題点を解決するデータパターンプログラムとテストプログラムに係る特徴を詳細に説明する。

図 6 に、本発明による基準電源電圧設定手法により、かつ、最適なコンパレータの判定幅電圧の設定と液晶ドライバの入力データと階調出力電圧関係の 1 ビットデータ精度保証を立証することを可能としたテストフローチャート図を示す。

【 0 0 6 4 】

図 6 のフローチャートは図 5 に示したフローチャートと基準電源電圧設定のみ共通であり、各階調出力電圧レベル毎に設定を変更する項目について、工夫している。

【 0 0 6 5 】

まず、ステップ S 2 1 にて液晶ドライバの駆動用電源と上述した基準電源電圧設定法による基準電源の投入を行う。続いて、入力データパターンプログラムの指定を行う。先に示した半導体検査装置に設定可能なパターンプログラムの本数は制限されている問題点について、当手法では入力データパターンプログラムは検査対象となる階調レベルデータを順次連結し、各階調レベル毎に実行データのスタートアドレス、ストップアドレスを設定することにより 1 本化している。

【 0 0 6 6 】

次に、コンパレータ判定に必要となる判定幅の設定を行う。これは、検査対象となる階調出力電圧レベルに対して、その上限レベルと下限レベルを設定し、階調出力電圧レベルを挟み込んだ状態で検査するものである。ここで、上限レベルと下限レベルの設定電圧値の設定例（方法）については、上記と共通である。

【 0 0 6 7 】

続いて、テストフローのステップ S 2 2 に移行する。ここでは、テスト対象となる基準電源端子間に含まれる全ての階調出力電圧レベルを 1 階調レベル毎、順次検査していくため、検査階調番号、階調出力電圧期待値レベルの設定、入力階調データのスタートアドレス、ストップアドレスの指定を全て変数設定とする。

階調出力電圧期待値レベルの設定は、基準電源電圧設定値によって計算される該当テスト階調の階調出力電圧レベル（液晶ドライバ仕様の階調出力電圧理想値計算式より算出する）と、上記に求めたコンパレータの判定幅より上限値と下限値を計算したものであるが、階調出力電圧レベル毎に出力期待値レベルが読み込まれ、同時にステップ S 2 1 で設定したコンパレータの判定レベルとなる上限と下限値が自動的に反映される設定としている。最後にステップ S 2 3 にて、先に設定しているデータパターンプログラムを実行することで、判定することができる。

【 0 0 6 8 】

もし、この判定結果が F A I L であれば即時にテストエンドとなり、P A S S の場合はステップ S 2 2 に戻り、次の階調出力電圧レベルを実行し、この時テスト対象として設定している基準電源電圧端子間に含まれる全ての階調出力電圧レベルのテストを繰り返す。

【 0 0 6 9 】

以上のことから、検査階調レベル単位で、入力階調レベルデータと出力電圧期待値レベル（比較判定回路による判定値レベル）と検査階調番号の時間的設定の相互関係を一致させることを実現している。なお、1 階調レベル毎に行われる検査は、指定した階調レベルまで順次繰り返され、検査対象となる階調出力電圧レベルの全てが P A S S すると、次の基準電源の設定に対応した階調レベルの検査に移行する。途中の階調レベルで F A I L した場合は、その時点でテストエンド

となる。高精度電圧計によるテストが全階調、全出力分の階調出力電圧測定データを一旦メモリに格納し、演算処理にて判定を行う手法に比べて、同一の不良デバイスの検査においても、テスト時間の短縮効果がある。

【0070】

他方、上記の効果により、1ビット精度保証を容易に立証する手段として考案したフェイルチェック手法について述べる。ここで述べるフェイルチェックとは、所定の階調入力データに対して、入力データの取り込み不良等により、期待値以外の出力電圧が出力されている場合、これを検査で確実に不良として選別できていることを立証するものである。例えば、コンパレータの判定レベル領域が大きすぎ、入力データの1ビット化け不良（出力階調電圧が1階調レベル分ずれる）を良品として選別しないことを確認することによって、ビット精度保証するものである。

【0071】

上述の通り、入力階調データと出力電圧期待値レベル（比較判定回路による判定値レベル）と検査階調番号の時間的設定変化の相互関係は検査対象階調レベル単位で、常時一致している。従って、N階調レベルをテスト対象となっている場合はN階調に対応した階調データ入力と出力電圧期待値が設定されている。そこで、フェイルチェックでは、このN階調レベルをテスト対象となっている場合の出力電圧期待値をN+1階調レベル、N-1階調レベルの出力電圧期待値に変更し、全階調レベルについて全フェイルすることを確認する。上述の通り、出力電圧期待値は変数設定されているため、プログラムの容易な変更によって実行できる。なお、階調入力データのアドレスを1階調分変更することによっても、同様の効果が得られる。N+1階調レベル、N-1階調レベルの期待値は入力データのビット下位1ビットを示していることから、このフェイルチェック手法により完成されたテストプログラムによる検査は1ビット精度保証を実現したものとなる。

【0072】

【発明の効果】

以上詳述したように本発明によれば、階調出力電圧試験における高いテスト精

度の確保と、試験時間の短時間化を同時に実現することができる。

高精度電圧計によるテスト時間は液晶ドライバの階調出力電圧を縦列的に1階調レベルを1出力毎測定することに対し、コンパレータ判定では、液晶ドライバの階調出力電圧を並列的に全出力同時判定できることから、480出力の256階調出力の液晶ドライバモデルでテスト時間を計算した場合、この液晶ドライバの階調出力電圧駆動時間（出力遅延時間を含む）を20 [μ S] とすると、高精度電圧計による電圧計測時間は $480 \times 256 \times 20 = 2457.6$ [mS] となる。

【0073】

なお、この値は電圧計測時間を示すものであり、実際の総テスト時間は各電圧データのメモリ格納と演算処理時間が別途加算されたものとなる。

コンパレータ判定によるテスト時間は全出力一括同時判定できることから、

$1 \times 256 \times 20 = 5.12$ [mS] となることから、従来までの高精度電圧計によるテスト時間に対して、テスト時間は480分の1（液晶ドライバの出力端子数分の1）に時間短縮できる。

【0074】

また、本発明は従来の安価な半導体試験装置に特別な検査回路を付加することなく、今後の多出力化、多階調化する液晶ドライバのテストに対しても対応が可能であり、試験コストの低減に大きく寄与でき、また既存設備の活用を実現することができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態である、基準電源生成回路がガンマ補正抵抗方式の液晶ドライバLSIについて基準電源電圧の投入設定の回路構成図である。

【図2】

同実施形態の動作説明に供する階調出力電圧波形図である。

【図3】

本発明の他の実施形態である、基準電源生成回路がガンマ補正抵抗方式の液晶ドライバについて基準電源電圧の投入設定の回路構成図である。

【図 4】

本発明の他の実施形態である、基準電源生成回路がガンマ補正抵抗方式の液晶ドライバについて基準電源電圧の投入設定の回路構成図である。

【図 5】

従来のコンパレータ判定に供するテストフローチャート図である。

【図 6】

本発明の実施形態に供するテストフローチャート図である。

【図 7】

従来の液晶ドライバ L S I 検査装置の高精度電圧測定器判定に供するブロック構成を示す構成図である。

【図 8】

従来の液晶ドライバ L S I 検査装置のコンパレータ判定に供するブロック構成を示す構成図である。

【図 9】

従来の基準電源電圧の投入設定時の動作説明に供する階調出力電圧波形図である。

【図 1 0】

特開 2 0 0 0 - 1 6 5 2 4 4 公報に開示されている液晶ドライバを示す回路構成図である。

【図 1 1】

従来の基準電源電圧の投入設定に供する回路構成図である。

【符号の説明】

- 1 液晶ドライバ L S I
- 2 - 1、2 - 2、... 2 - m D A コンバータ
- 3 - 1、3 - 2、... 3 - m 液晶ドライバの出力端子
- 4 データメモリ
- 5 高精度アナログ電圧測定器
- 6 - 1、6 - 2、... 6 - x 液晶ドライバの基準電源電圧入力端子
- 7 テスタ電源

8 液晶ドライバの基準電圧生成回路

9 演算装置

1 0 半導体試験装置テスト

1 1 - 1、1 1 - 2、… 1 1 - m テスタチャンネル

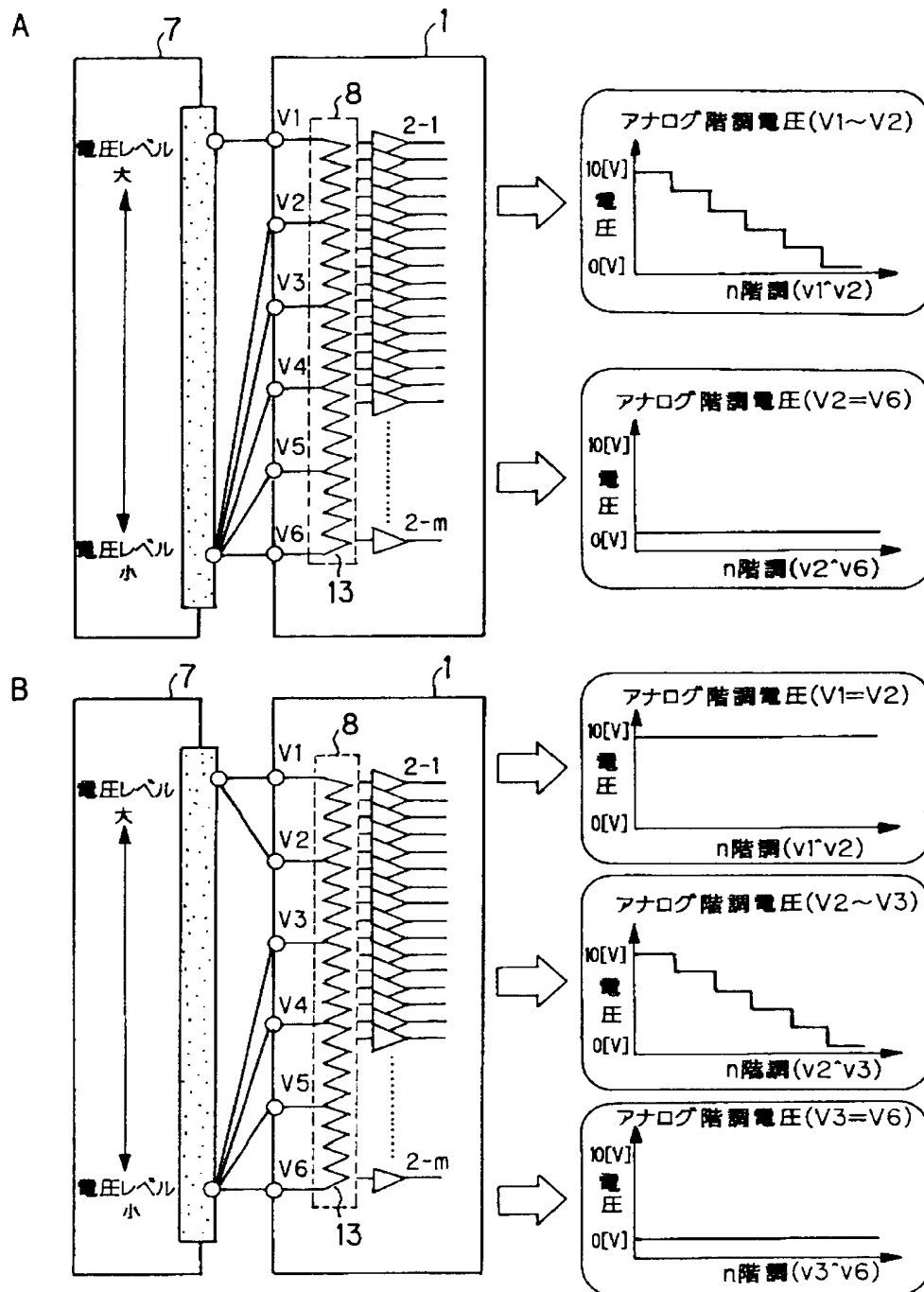
1 2 - 1、1 2 - 2、… 1 2 - m コンパレータ

1 3 ガンマ補正抵抗

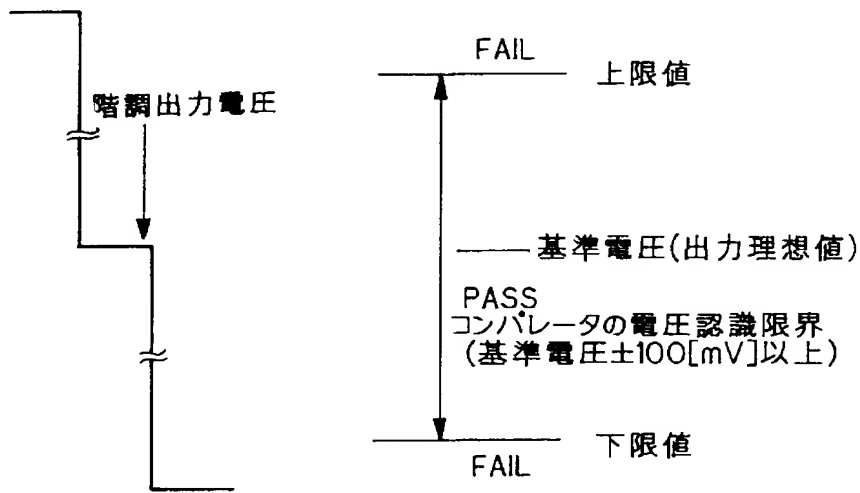
V 1、V 2、… V 6 液晶ドライバの基準電源電圧入力端子

【書類名】 図面

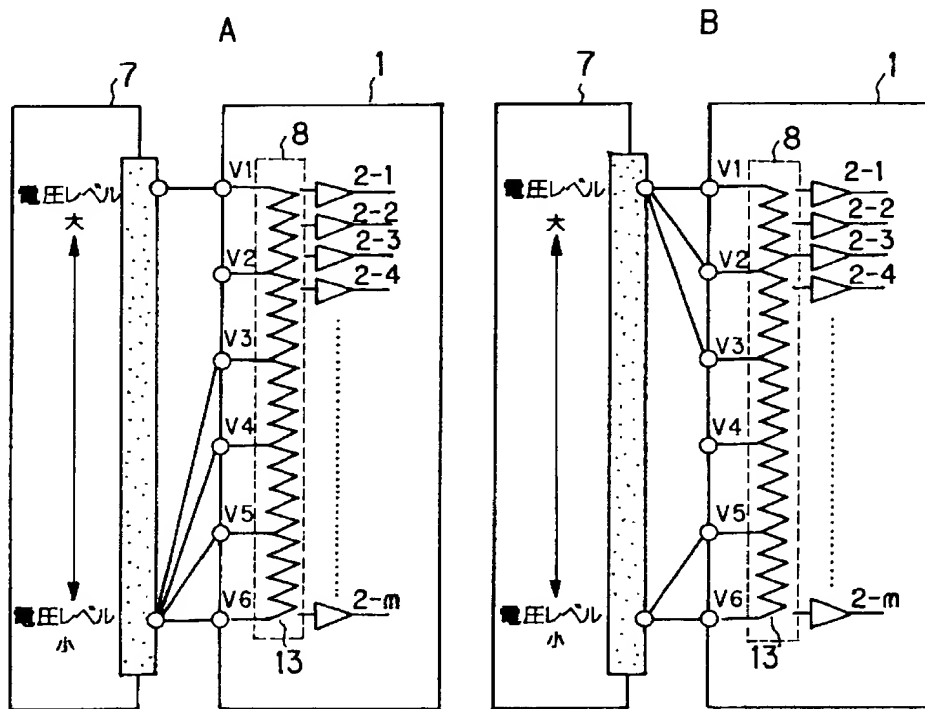
【図 1】



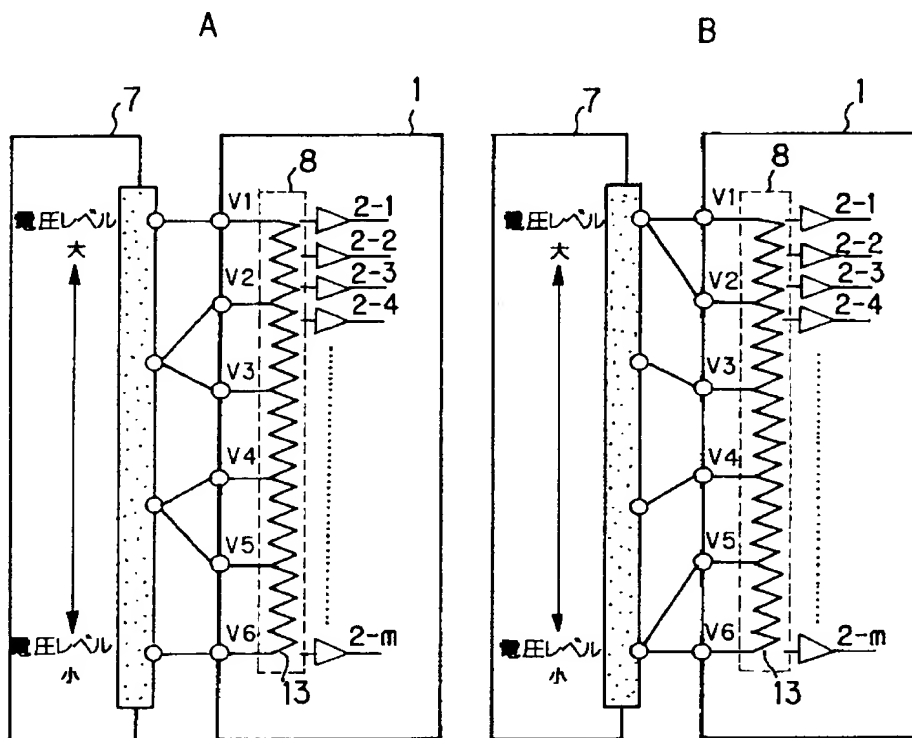
【図 2】



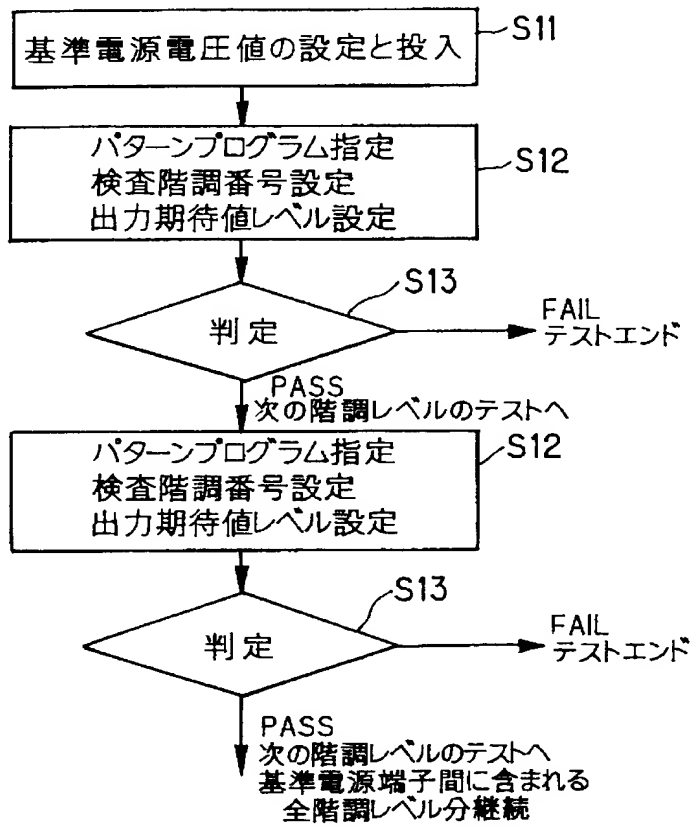
【図 3】



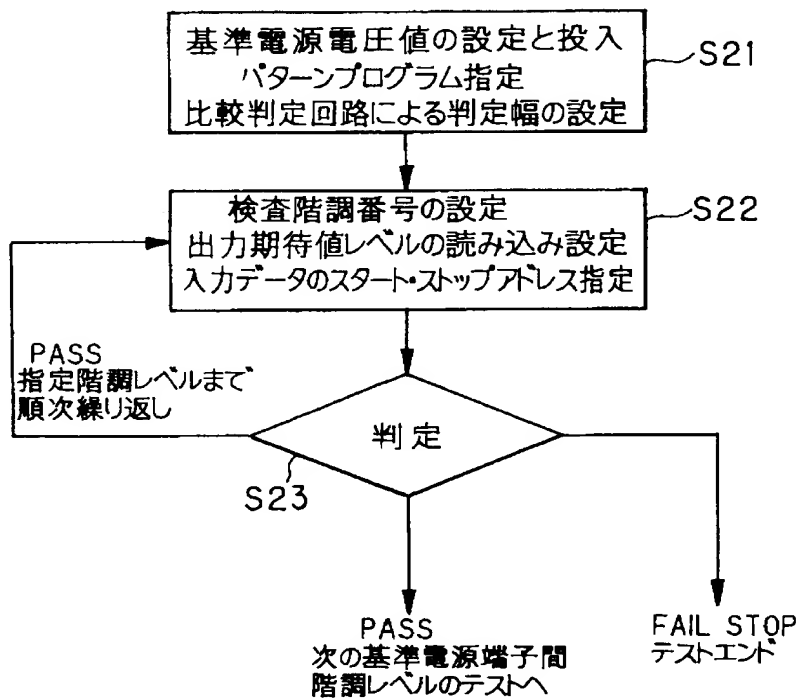
【図 4】



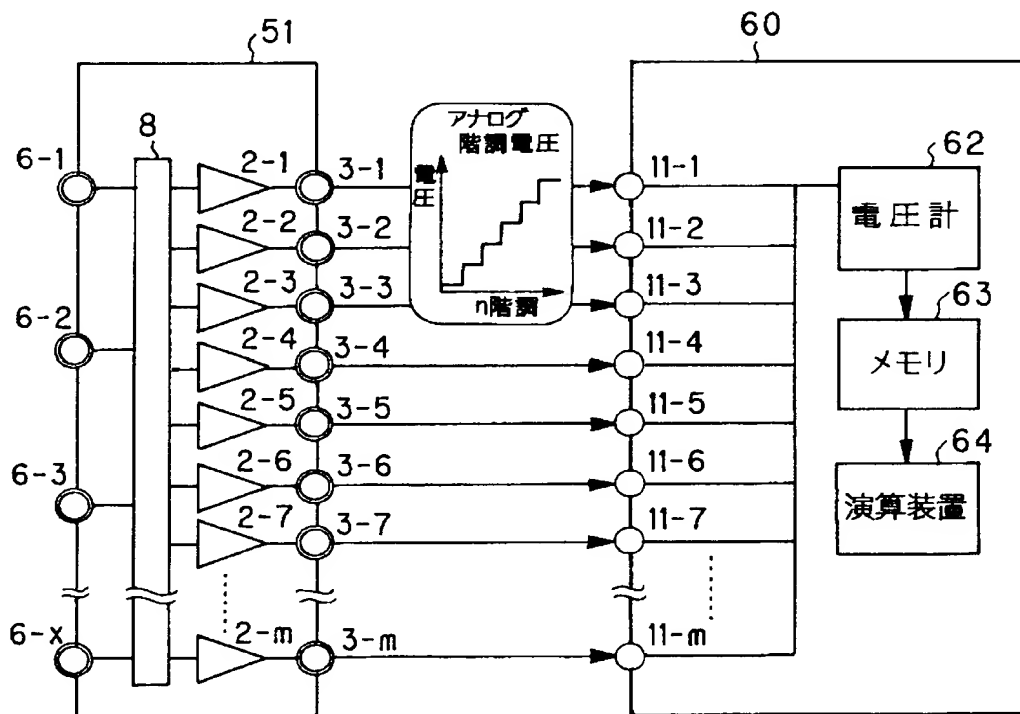
【図 5】



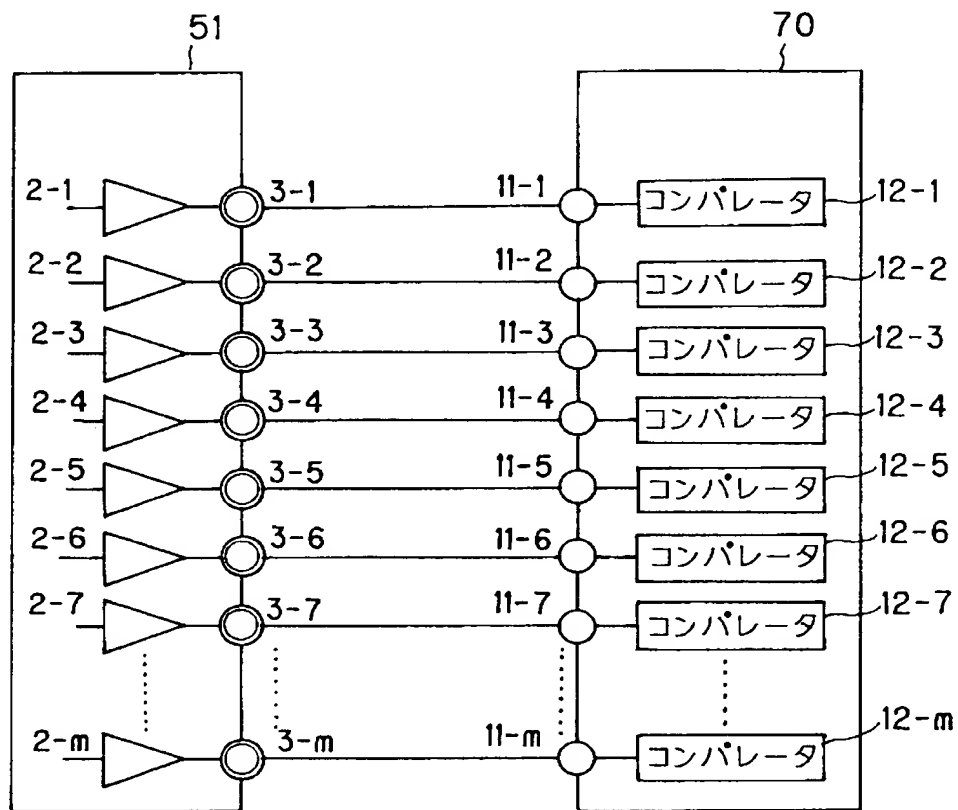
【図 6】



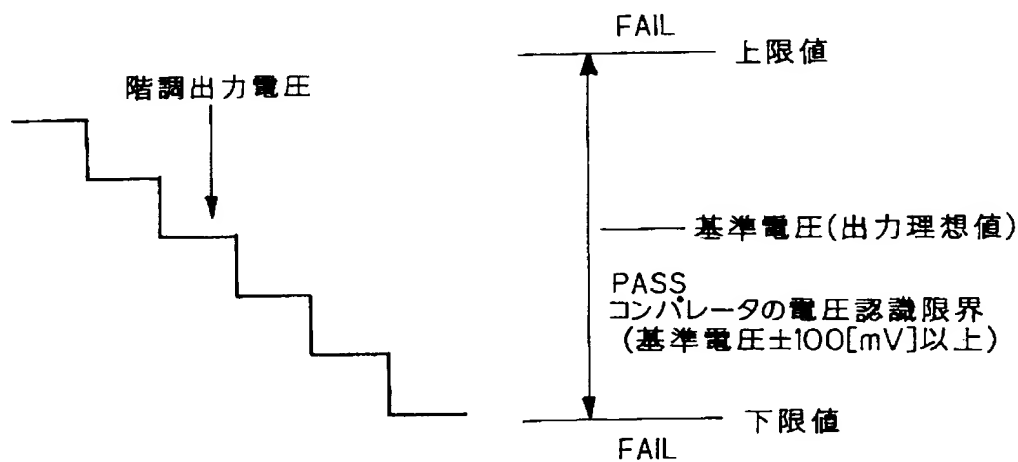
【図 7】



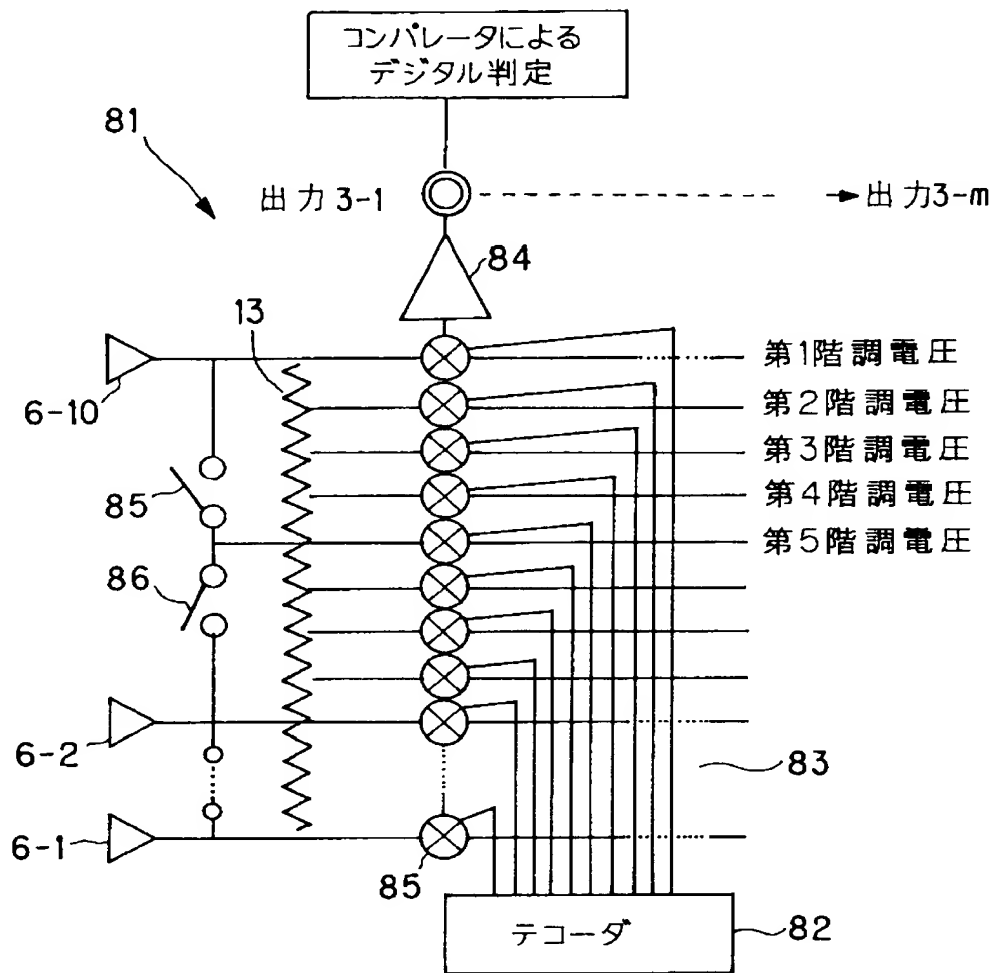
【図 8】



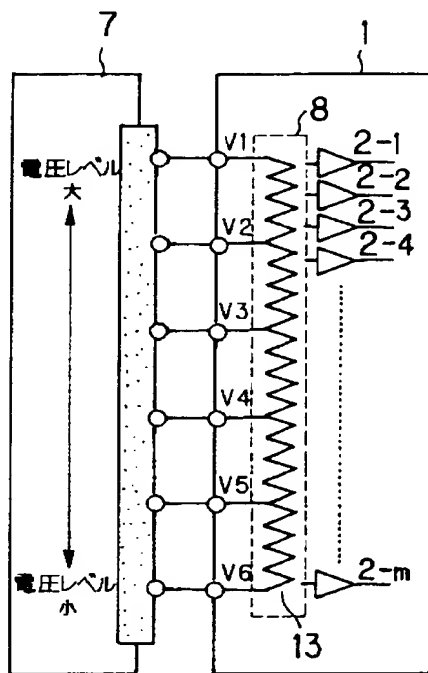
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 判定モジュールの測定精度に関わらず、テスト時間の大幅な削減と高精度な試験を実現する半導体集積回路の検査方法及びその検査装置を提供する。

【解決手段】 基準電源電圧の設定値を液晶ドライバの駆動電圧仕様の上限值と下限値とする 1 0 [V] と 0 [V] に振り分ける。基準電源端子の V 1 ~ V 2 間に 1 0 [V] の基準電源電位差を発生することができる。この基準電源端子の V 1 ~ V 2 間に含まれる階調レベルをテスト対象とすることで、それぞれの隣接階調出力レベルは相互に約 2 0 0 [mV] (基準電源端子間電位差 1 0 0 0 0 [mV] / 5 1 階調レベル) の電位差を保つことができる。その基準電源端子間に含まれる階調レベルについて、一階調レベル毎、入力データとコンパレータの判定レベルの設定を順次切り替えながらテストし、その区間に含まれる階調レベルを全てテストする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

| | |
|----------|---------------------|
| 1. 変更年月日 | 1990年 8月29日 |
| [変更理由] | 新規登録 |
| 住 所 | 大阪府大阪市阿倍野区長池町22番22号 |
| 氏 名 | シャープ株式会社 |